

日本特許庁
JAPAN PATENT OFFICE

NE 253
J1011-HS 279
10/05/0165
01/12/02


別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 1月19日

出願番号
Application Number:

特願2001-011592

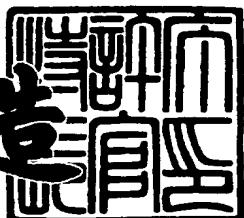
出願人
Applicant(s):

日本電気株式会社

2001年11月16日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3100140

【書類名】 特許願

【整理番号】 74112399

【提出日】 平成13年 1月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78
H01L 27/01
H01L 27/088

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 6

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 深作 克彦

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100108578

【弁理士】

【氏名又は名称】 高橋 詔男

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 ゲート絶縁膜の異なる複数種のトランジスタを備え、前記複数種のトランジスタのそれぞれのゲート電極の高さは、それぞれのゲート絶縁膜の厚みに対応して変化してなることを特徴とする半導体装置。

【請求項2】 前記複数種のトランジスタは、基板上に形成された複数種のMOSFETであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記MOSFETは、コア用MOSFETと、インプット／アウトプット用MOSFETとからなり、

前記コア用MOSFETのゲート絶縁膜は前記インプット／アウトプット用MOSFETのゲート絶縁膜より薄く、かつ、前記コア用MOSFETのゲート電極は前記インプット／アウトプット用MOSFETのゲート電極より低くしてなることを特徴とする請求項2記載の半導体装置。

【請求項4】 ゲート絶縁膜の異なる複数種のトランジスタを備え、前記複数種のトランジスタのそれぞれのゲート電極の高さは、それぞれのゲート絶縁膜の厚みに対応して変化してなる半導体装置の製造方法であって、

前記複数種のトランジスタのそれぞれのゲート電極材料を堆積する際に、それぞれのゲート絶縁膜の厚みに対応して前記ゲート電極材料の堆積量を増減させることを特徴とする半導体装置の製造方法。

【請求項5】 前記堆積量の増減は、前記ゲート電極材料の堆積回数を変えることにより行うことを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記ゲート電極材料の堆積量を、厚い方の前記ゲート絶縁膜に合わせて設定し、次いで、前記ゲート電極材料を選択除去することにより、前記ゲート電極材料の堆積量を増減させることを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に、基板上に複数種のMOSFET (Metal Oxide Semiconductor Field Effect Transistor) が搭載された半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】

従来、基板上に複数種のMOSFET が搭載された半導体装置として、コア用のNチャンネルMOSFET のゲート絶縁膜厚とインプット／アウトプット (I/O ; Input-Output) 用のNチャンネルMOSFET のゲート絶縁膜厚が異なるNMOSFET がある。

【0003】

ここで、このNMOSFET の製造方法について、図5～図6に基づき説明する。

まず、図5 (a) に示すように、P型シリコン基板1に素子分離領域2を形成し、コア用NMOSFET 形成領域AにボロンなどのP型不純物を注入してコア用P型ウェル（コアPウェル）3を形成し、I/O用NMOSFET 形成領域BにボロンなどのP型不純物を注入してI/O用P型ウェル（I/O用Pウェル）4を形成する。次いで、熱酸化法により酸窒化ケイ素膜等からなるゲート絶縁膜5を形成し、このゲート絶縁膜5上のコア用NMOSFET 形成領域を除く部分にホトレジスト (PR ; Photo Resist) マスク6を形成する。

【0004】

次いで、コア用NMOSFET 形成領域のゲート絶縁膜5をウェットエッティングで除去し、続いてPRマスク6を除去し、次いで、図5 (b) に示すように、コア用NMOSFET 形成領域に、コア用となるゲート絶縁膜7を形成する。このとき、I/O用NMOSFET 形成領域上のゲート絶縁膜5は追酸化されるが若干厚膜化するだけであるから、デバイスの特性には影響しない。

次いで、図5 (c) に示すように、これらの上にゲート電極となるポリシリコン8を堆積する。次いで、図5 (d) に示すように、ポリシリコン8上にPRマスク9を形成し、ドライエッティング法によりポリシリコン8にゲート電極をパターニングする。最後にPRマスク9を除去し、図6に示すNMOSFET とする

【0005】

【発明が解決しようとする課題】

ところで、上述した従来のNMOSFETにおいては、LDD領域を形成する際に、コア用MOSFETとI/O用MOSFETとで同じゲート電極をマスクとして用いているため、ゲート電極高さによって注入エネルギーが制限されてしまい、深く注入することができないという問題点があった。

【0006】

また、従来のNMOSFETにおいては、MOSFETの高性能化を追求するためスケーリングを行い、ゲート長は0.1μm以下のような超微細デバイスを形成する必要性が生じており、ゲート絶縁膜の薄膜化も推し進められているが、ゲート長とゲート高さのアスペクト比が高くなると、ゲートエッチングの加工性が難しくなるという問題点があった。また、MOSFETを高性能化するためには、ゲート領域の空乏化を抑制する必要があり、そこで、ゲート電極中の不純物濃度を高める必要があるが、この場合、ゲート電極の高さもスケーリングする必要性がある。

【0007】

また、従来のNMOSFETにおいては、高性能MOSFETを単独で形成することはなく、周辺入出力回路としてのI/O用MOSFETも形成する必要がある。ここで、コア用MOSFETはMPUとして使用され、低消費電力で常時回路動作する低電圧駆動であるが、I/O用MOSFETは入出力動作時に駆動する回路で使用時間としては短く、そのため低電圧駆動を必要としないため、I/O用は高電圧駆動、コア用は高性能かつ低電圧駆動というデバイスの混載が必要となるという問題点があった。

【0008】

また、上記のI/O用MOSFETは高性能のMOSFETほどはスケーリングを行わないデバイスであるから、前の世代で使われているデバイスをそのまま用いてコア用MOSFETと混載されるのが一般的である。そこで問題となるのが、ゲート電極高さについてスケーリングの必要なコア用MOSFETと、前の

世代のデバイスであるI/O用MOSFETを混載しているために、信頼性の観点からゲート電極を高くする必要があり、ゲート絶縁膜の異なるマルチオキサイドトランジスタでは、そのためにもマルチゲート電極高さを持つデバイスが必要になる。

【0009】

本発明は、上記の事情に鑑みてなされたものであって、ゲート絶縁膜の異なる複数種のトランジスタを備えた半導体装置において、ゲート絶縁膜が薄い方のトランジスタではゲート電極の空乏化を抑制することができ、ゲート絶縁膜が厚い方のトランジスタではホットキャリア抑制のための深いLDD領域を形成することができ、さらには、製造時にゲート加工の点からプロセスマージンを増加させることができる半導体装置及びその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

上記課題を解決するために、本発明は次の様な半導体装置及びその製造方法を提供した。

すなわち、本発明の請求項1記載の半導体装置は、ゲート絶縁膜の異なる複数種のトランジスタを備え、前記複数種のトランジスタのそれぞれのゲート電極の高さは、それぞれのゲート絶縁膜の厚みに対応して変化してなることを特徴とする。

【0011】

請求項2記載の半導体装置は、請求項1記載の半導体装置において、前記複数種のトランジスタは、基板上に形成された複数種のMOSFETであることを特徴とする。

【0012】

請求項3記載の半導体装置は、請求項2記載の半導体装置において、前記MOSFETは、コア用MOSFETと、インプット/アウトプット用MOSFETとからなり、前記コア用MOSFETのゲート絶縁膜は前記インプット/アウトプット用MOSFETのゲート絶縁膜より薄く、かつ、前記コア用MOSFETのゲート電極は前記インプット/アウトプット用MOSFETのゲート電極より

低くしてなることを特徴とする。

【0013】

請求項4記載の半導体装置の製造方法は、ゲート絶縁膜の異なる複数種のトランジスタを備え、前記複数種のトランジスタのそれぞれのゲート電極の高さは、それぞれのゲート絶縁膜の厚みに対応して変化してなる半導体装置の製造方法であって、前記複数種のトランジスタのそれぞれのゲート電極材料を堆積する際に、それぞれのゲート絶縁膜の厚みに対応して前記ゲート電極材料の堆積量を増減させることを特徴とする。

【0014】

請求項5記載の半導体装置の製造方法は、請求項4記載の半導体装置の製造方法において、前記堆積量の増減は、前記ゲート電極材料の堆積回数を変えることにより行うことを特徴とする。

【0015】

請求項6記載の半導体装置の製造方法は、請求項4記載の半導体装置の製造方法において、前記ゲート電極材料の堆積量を、厚い方の前記ゲート絶縁膜に合わせて設定し、次いで、前記ゲート電極材料を選択除去することにより、前記ゲート電極材料の堆積量を増減させることを特徴とする。

【0016】

【発明の実施の形態】

本発明の半導体装置及びその製造方法の各実施の形態について図面に基づき説明する。

【0017】

【第1の実施の形態】

本発明の第1の実施の形態に係わる半導体装置は、基板上にゲート絶縁膜の異なる複数種のMOSFETを搭載した半導体装置であり、コア用のNチャンネルMOSFETのゲート絶縁膜厚とI/O用のNチャンネルMOSFETのゲート絶縁膜厚が異なるNMOSFETを例に採り説明する。

このNMOSFETは、70nmデザインルールで、電源電圧1.0Vで駆動されるNチャンネルMOSFETをコア用NMOSFETとし、電源電圧3.3

Vで駆動されるNチャンネルMOSFETをI/O用NMOSFETとした構成である。

【0018】

ここで、本実施の形態のNMOSFETの製造方法について、図1～図3に基づき説明する。

まず、図1(a)に示すように、従来のプロセスを用いて、P型シリコン基板1に素子分離領域2を形成し、コア用NMOSFET形成領域Aに、ボロン(B)などのP型不純物 $2 \times 10^{13}/\text{cm}^2$ を150keVで、 $5 \times 10^{12}/\text{cm}^2$ を15keVで注入してコアPウェル3を形成し、I/O用NMOSFET形成領域BにボロンなどのP型不純物 $1 \times 10^{12}/\text{cm}^2$ を30keVで注入してI/O用Pウェル4を形成する。

【0019】

次いで、これらの上に、 RTP (Rapid Thermal Process) により、酸窒化ケイ素膜等のコア用NMOSFETのゲート絶縁膜5を15Å形成し、さらに、CVD (Chemical Vapor Deposition) 法によりコア用NMOSFETのゲート電極となるポリシリコン8を100nm堆積する。

【0020】

次いで、図1(b)に示すように、露光方法により、このポリシリコン8上にPRマスク11を形成し、次いで、図1(c)に示すように、I/O用NMOSFET形成領域Bのポリシリコン8をドライエッティングにより除去する。この際、I/O用NMOSFET形成領域Bのゲート絶縁膜5も同時に除去される。その後、ウェットエッティングによりPRマスク11を除去する。

【0021】

次いで、図1(d)に示すように、熱酸化法により、全面にケイ素酸化膜等のI/O用NMOSFETのゲート絶縁膜12を70Å形成する。続けて、CVD法により全面にI/O用NMOSFETのゲート電極となるポリシリコン13を150nm堆積する。

次いで、図2(e)に示すように、露光方法によりI/O用NMOSFET形成領域Bのポリシリコン13上にPRマスク15を形成し、次いで、図2(f)

に示すように、コア用N M O S F E T形成領域Aの上層部のポリシリコン13をドライエッチングすると同時に、I/O用N M O S F E T形成領域Bのゲート絶縁膜12及びポリシリコン13をパターニングし、ゲートとする。

【0022】

このP Rマスク15をウェットエッチングにより除去した後、図2(g)に示すように、露光方法によりP Rマスク16を形成し、次いで、図2(h)に示すように、コア用N M O S F E T形成領域Aのゲート絶縁膜5及びポリシリコン8をパターニングし、ゲートとする。その後、ウェットエッチングによりP Rマスク16を除去する。

【0023】

次いで、図3(i)に示すように、露光方法によりコア用N M O S F E T形成領域AにP Rマスク17を形成し、次いで、I/O用Pウェル4にリン(P)などのN型不純物 $2 \times 10^{13}/\text{cm}^2$ を30keVで注入し、L D D(Lightly Doped Drain)領域18を形成し、その後、ウェットエッチングによりP Rマスク17を除去する。

【0024】

次いで、図3(j)に示すように、露光方法によりI/O用N M O S F E T形成領域BにP Rマスク19を形成し、コアPウェル3にヒ素(A s)などのN型不純物 $5 \times 10^{14}/\text{cm}^2$ を2.5keVで注入し、L D D領域21を形成し、その後、ウェットエッチングによりP Rマスク19を除去する。

【0025】

次いで、図3(k)に示すように、C V D法によりT E O S - N S G(Tetra Ethyl Ortho Silicate Nondoped Silicate Glass)を80nm堆積し、その後、ドライエッチングを施し、サイドウォール22, 22を形成する。

次いで、図3(l)に示すように、ヒ素(A s)などのN型不純物 5×10^1 $5/\text{cm}^2$ を30keVで注入し、S D(Source Drain)領域23, 23を形成する。

以降の製造プロセスは従来と同様であり、Pチャンネルについても同様である。

【0026】

このNMOSFETでは、ゲートエッチング加工の点から、ゲート長とゲート電極高さのアスペクト比が小さくなる方が加工し易いので、ゲート長が短くなる高性能MOSFETではゲート電極高さを低くした方が加工し易くプロセスマージンが増える。一方、I/O用NMOSFETの設計の点では、ゲート電極が低いとゲート電極をマスクとしたLDD注入を行なうことができるが、ゲート直下に不純物があるために、LDD領域を形成するためのイオン注入エネルギーを下げなくてはならない。しかし、浅く形成されたLDD領域はドレイン端での電界が強く、ホットキャリアの問題が生じるために、デバイスの信頼性が低下する。したがって、I/O用NMOSFETにおいては、ゲート電極を高くする必要がある。

【0027】

以上により、本実施の形態のコア用NMOSFETとI/O用NMOSFETといったゲート絶縁膜厚の異なるデバイスを混載したMOSFETにおいては、ゲート電極高さをコア用NMOSFETで薄く、I/O用NMOSFETで厚くすることによって、このコア用NMOSFETではゲート空乏化が抑制でき、加工時のゲートエッチングのプロセスマージンを増加させることができる。

また、I/O用NMOSFETではゲート電極が高くできるので、ゲートをマスクとして、ホットキャリア抑制のためのLDD領域18を深く形成することができ、高電圧駆動用の信頼性に対応して最適設計を行う事ができる。

【0028】

また、ゲート絶縁膜5、12の薄膜化が進むとゲート空乏化抑制が必要となるが、コア用NMOSFETのゲートを薄膜化することによってSD領域23を形成するときに、ゲート電極に注入される不純物が空乏化抑制に寄与するため、不純物濃度を高める効果がある。

【0029】

[第2の実施の形態]

本発明の第2の実施の形態に係わる半導体装置は、基板上にゲート絶縁膜の異なる複数種のMOSFETを搭載したNMOSFETであり、コア用のNチャン

ネルMOSFETのゲート絶縁膜厚とI/O用のNチャンネルMOSFETのゲート絶縁膜厚が異なるNMOSFETの例である。

【0030】

ここで、このNMOSFETの製造方法について、図4に基づき説明する。

まず、図4 (a) に示すように、従来の製造プロセスを用いて、異なる膜厚のゲート絶縁膜5, 7を形成し、これらの上に、I/O用のゲート電極となるポリシリコン31を150nm堆積する。次いで、露光法により、このポリシリコン31上のI/O用NMOSFET形成領域BにPRマスク32を形成する。

【0031】

次いで、図4 (b) に示すように、ドライエッティング法によりコア用NMOSFET形成領域Aのポリシリコン31を50nmエッティングする。これにより、ポリシリコン31においては、コア用NMOSFET形成領域Aのポリシリコン31aと、I/O用NMOSFET形成領域Bのポリシリコン31bとの間には50nmの段差が生じることとなる。その後、ウェットエッティング法によりPRマスク32を除去する。

【0032】

次いで、図4 (c) に示すように、露光法によりポリシリコン31a, 31b上にPRマスク33を形成し、ドライエッティングによりポリシリコン31aにコア用のゲート電極をパターニングする。その後、ウェットエッティング法によりPRマスク33を除去する。

【0033】

次いで、図4 (d) に示すように、これらの上に露光法によりPRマスク34を形成し、ドライエッティングによりポリシリコン31bにI/O用のゲート電極をパターニングする。

このPRマスク34をウェットエッティング法で除去した後は、上述した第1の実施形態のNMOSFETの製造方法にしたがって、工程が進められる。

【0034】

このNMOSFETの製造方法においても、上述した第1の実施形態のNMOSFETの製造方法と同様の効果を奏することができる。

しかも、ポリシリコン31は1回堆積するだけでよいので、製造プロセスを簡素化することができる。

【0035】

以上、本発明の半導体装置及びその製造方法の各実施の形態について図面に基づき説明してきたが、具体的な構成は本実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で設計の変更等が可能である。

【0036】

【発明の効果】

以上説明した様に、本発明の半導体装置によれば、ゲート絶縁膜の異なる複数種のトランジスタを備え、前記複数種のトランジスタのそれぞれのゲート電極の高さを、それぞれのゲート絶縁膜の厚みに対応して変化させたので、ゲート絶縁膜が薄い方のトランジスタではゲート空乏化を抑制することができ、また、ゲート絶縁膜が厚い方のトランジスタではゲート電極を高く設定することができるの、このゲートをマスクとしてホットキャリア抑制のためのLDD領域を形成する場合に、このLDD領域を深くすることができる。したがって、高電圧駆動時の信頼性に対応して最適設計を行う事ができる。

【0037】

本発明の半導体装置の製造方法によれば、複数種のトランジスタのそれぞれのゲート電極材料を堆積する際に、それぞれのゲート絶縁膜の厚みに対応して前記ゲート電極材料の堆積量を増減させるので、搭載される複数種のトランジスタのそれぞれのゲート電極の高さを、それぞれのゲート絶縁膜の厚みに対応して変化させた半導体装置を容易かつ低成本で作製することができる。

また、加工時のゲートエッチングのプロセスマージンを増加させることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態のNMOSETの製造方法を示す過程図である。

【図2】 本発明の第1の実施の形態のNMOSETの製造方法を示す過程図である。

【図3】 本発明の第1の実施の形態のNMOSFETの製造方法を示す過程図である。

【図4】 本発明の第2の実施の形態のNMOSFETの製造方法を示す過程図である。

【図5】 従来のNMOSFETの製造方法を示す過程図である。

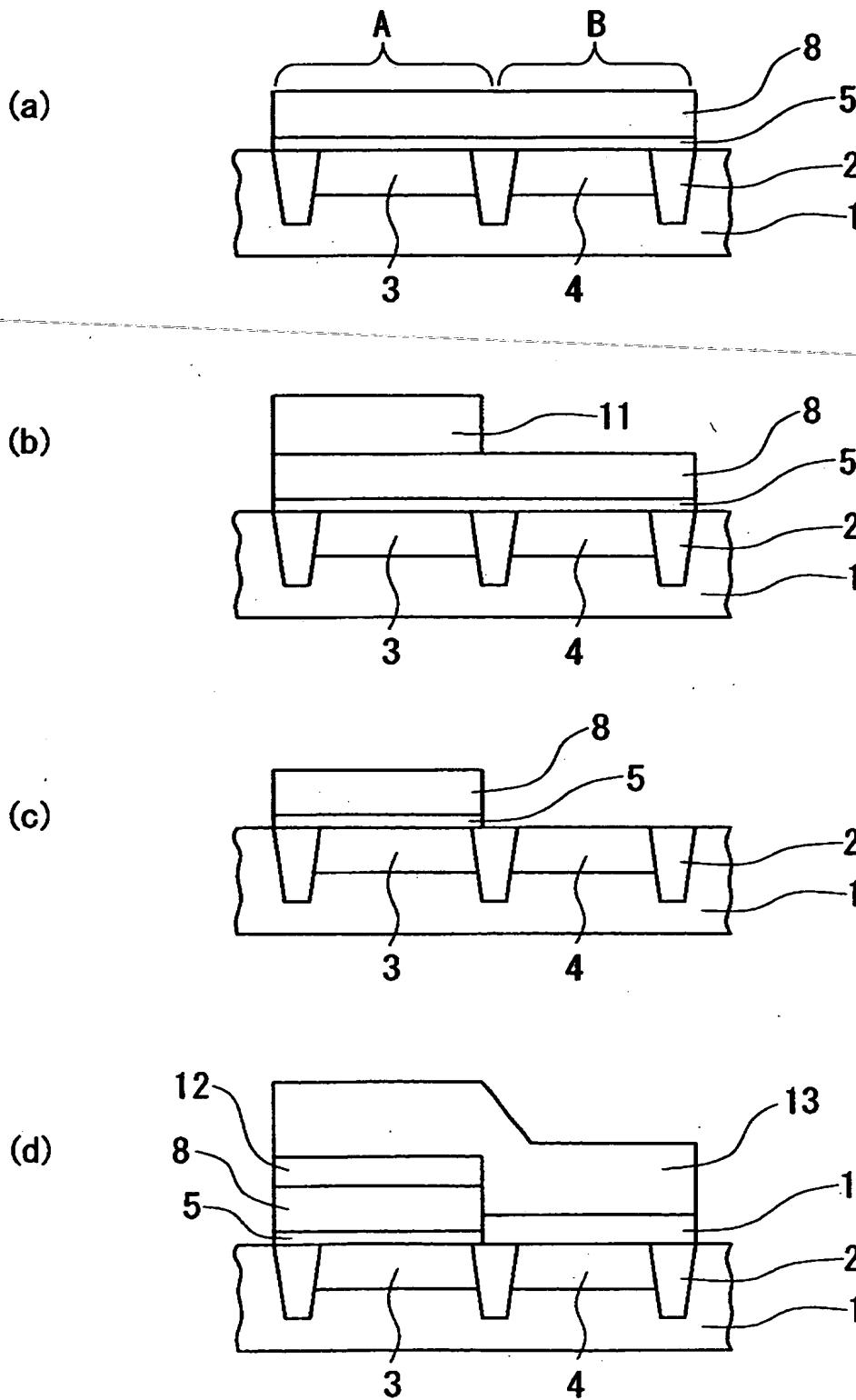
【図6】 従来のNMOSFETの製造方法を示す過程図である。

【符号の説明】

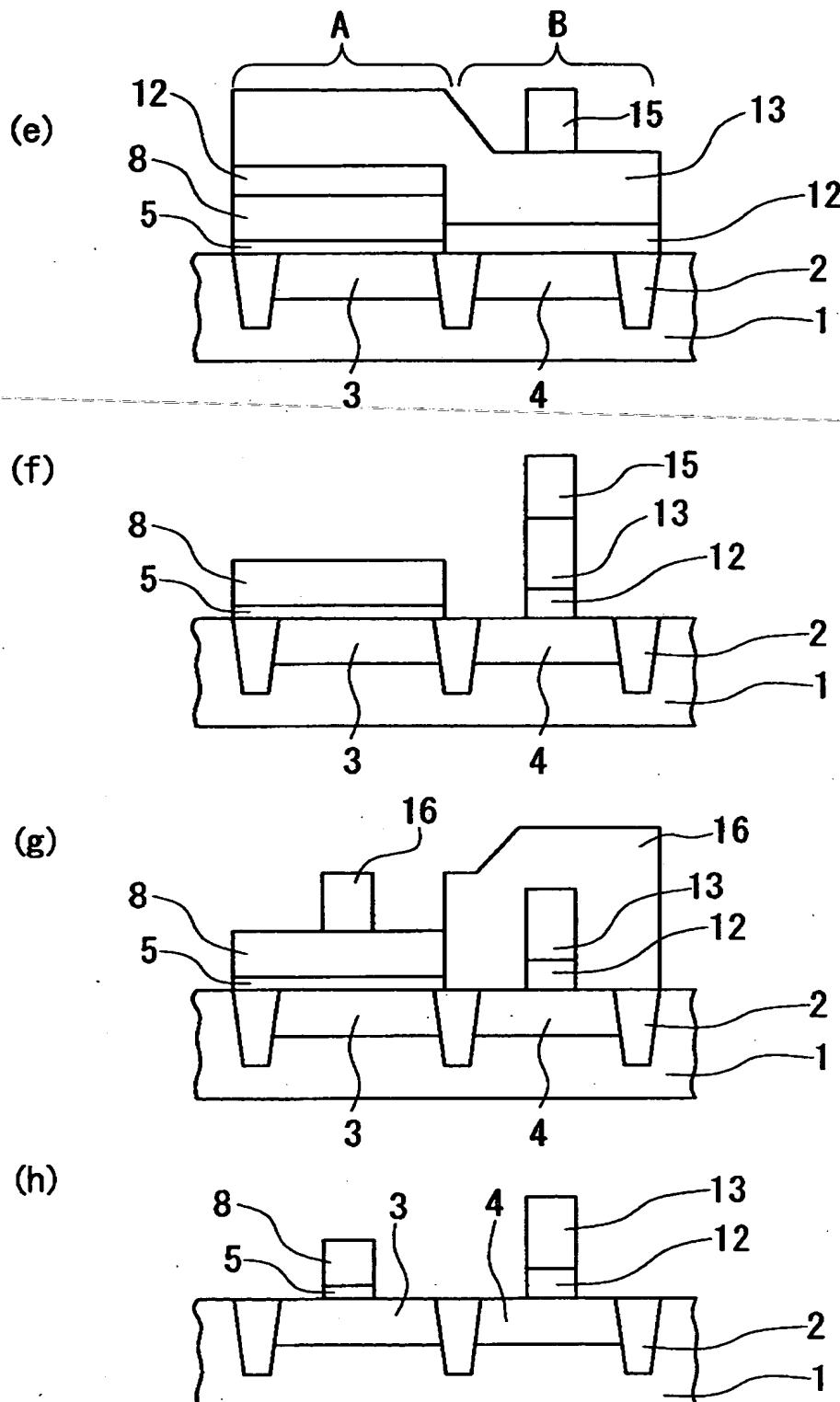
- 1 P型シリコン基板
- 2 素子分離領域
- 3 コア用P型ウェル
- 4 I/O用P型ウェル
- 5 ゲート絶縁膜
- 6 ホトレジスト(PR)マスク
- 7 ゲート絶縁膜
- 8 ポリシリコン
- 9 PRマスク
- 11 PRマスク
- 12 ゲート絶縁膜
- 13 ポリシリコン
- 15~17 PRマスク
- 18 LDD領域
- 19 PRマスク
- 21 LDD領域
- 22 サイドウォール
- 23 SD領域
- 31、31a、31b ポリシリコン
- 32~34 PRマスク
- A コア用NMOSFET形成領域
- B I/O用NMOSFET形成領域

【書類名】 図面

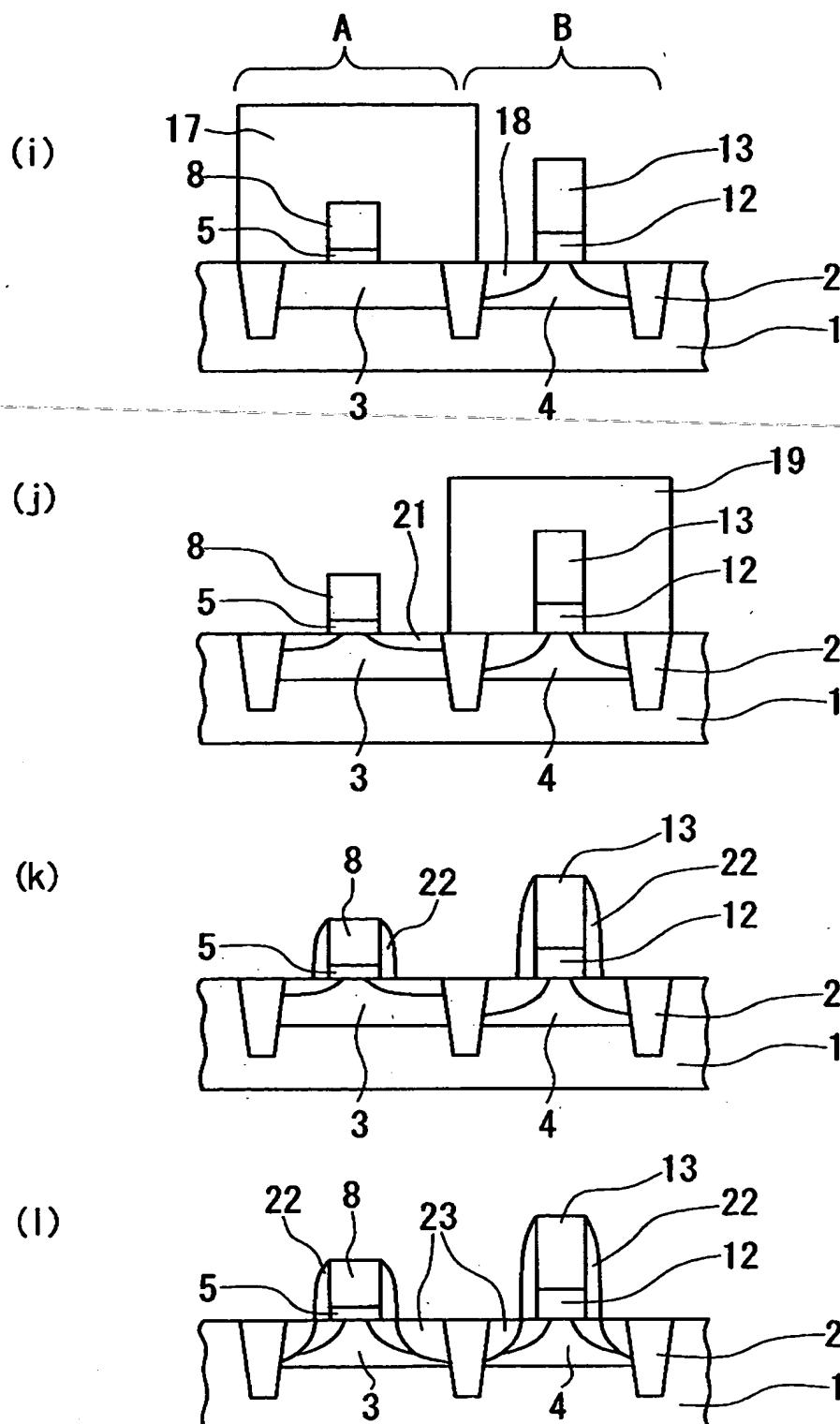
【図1】



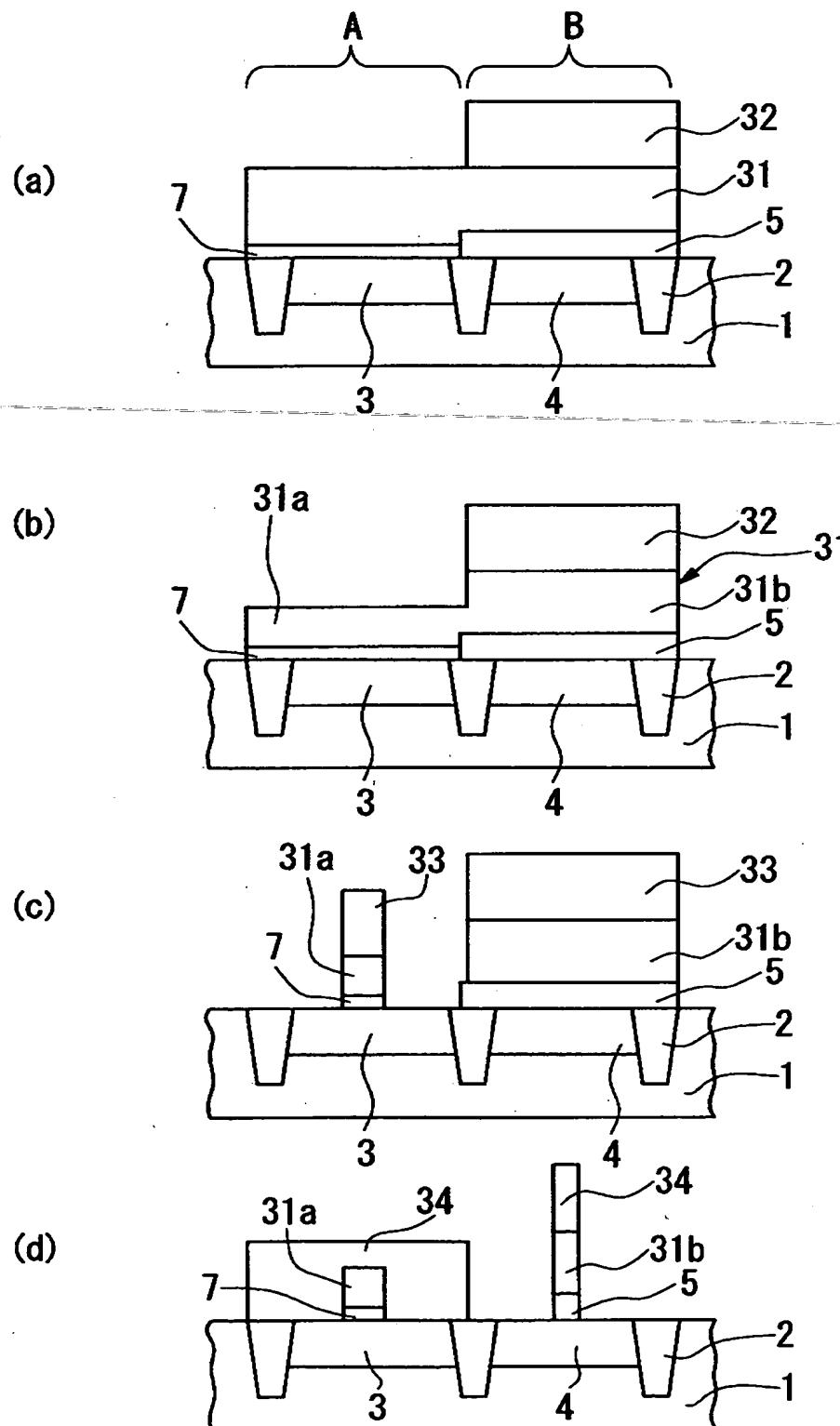
【図2】



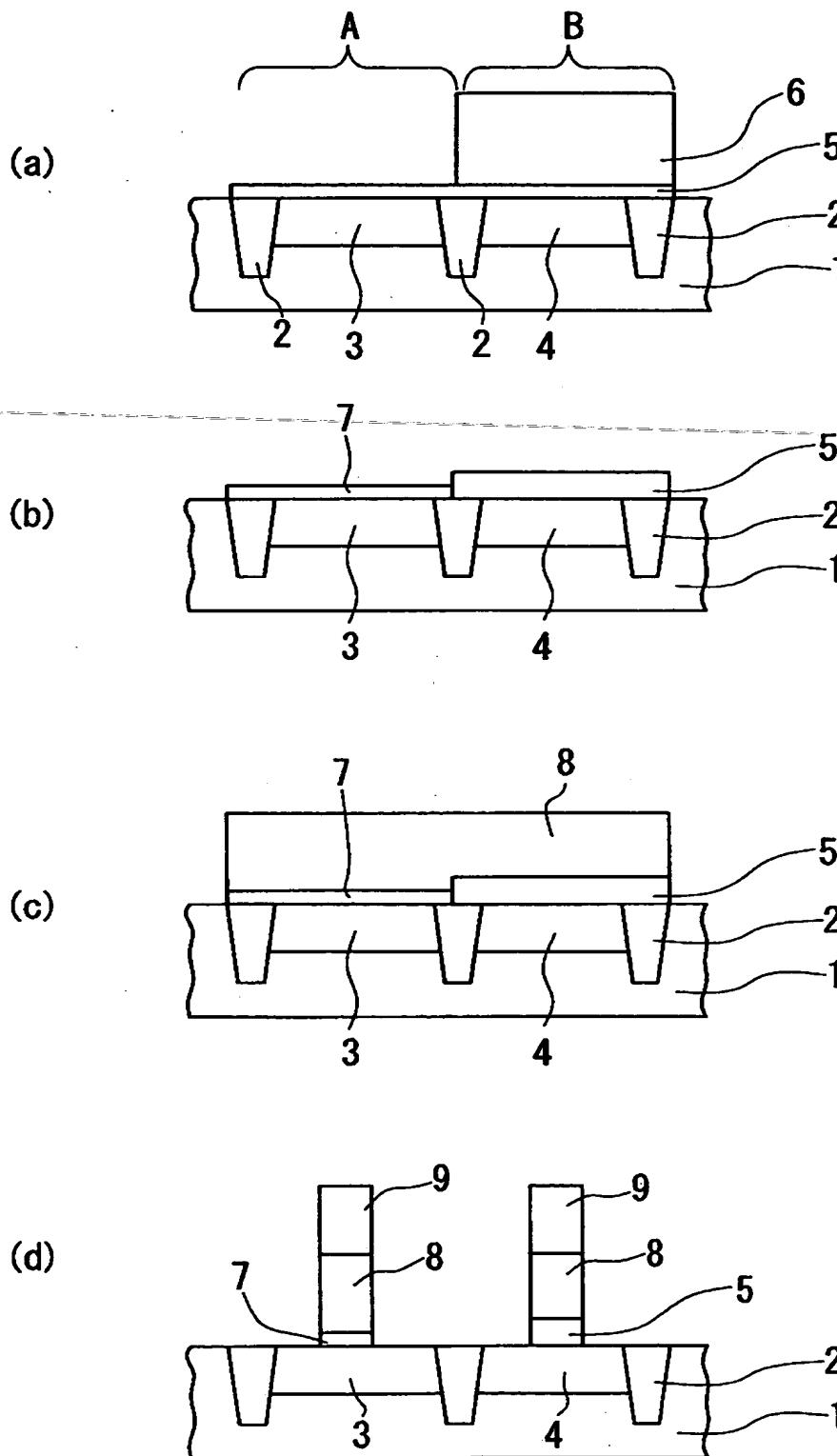
【図3】



【図4】

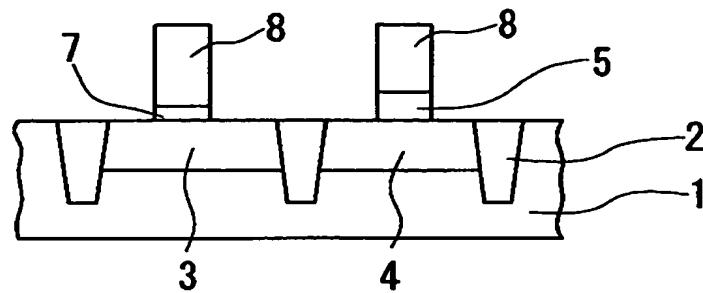


【図5】



特2001-011592

【図6】



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜が薄い方のトランジスタではゲート電極の空乏化を抑制することができ、ゲート絶縁膜が厚い方のトランジスタではホットキャリア抑制のための深いLDD領域を形成することができ、さらには、製造時にゲート加工の点からプロセスマージンを増加させることができる半導体装置及びその製造方法を提供する。

【解決手段】 本発明の半導体装置は、基板上に複数種のMOSFETが形成されたもので、コア用MOSFETのゲート絶縁膜5はI/O用MOSFETのゲート絶縁膜12より薄く、かつ、コア用MOSFETのゲート電極となるポリシリコン8は、I/O用MOSFETのゲート電極となるポリシリコン13より低くしたことを特徴とする。

【選択図】 図3

認定・付加情報

特許出願の番号 特願2001-011592
 受付番号 50100072476
 書類名 特許願
 担当官 寺内 文男 7068
 作成日 平成13年 1月29日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000004237
 【住所又は居所】 東京都港区芝五丁目7番1号
 【氏名又は名称】 日本電気株式会社
 【代理人】 申請人
 【識別番号】 100108578
 【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル
 【氏名又は名称】 志賀国際特許事務所
 高橋 詔男

【代理人】

【識別番号】 100064908
 【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル
 【氏名又は名称】 志賀国際特許事務所
 志賀 正武

【選任した代理人】

【識別番号】 100101465
 【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル
 【氏名又は名称】 志賀国際特許事務所
 青山 正和

【選任した代理人】

【識別番号】 100108453
 【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル
 【氏名又は名称】 志賀国際特許事務所
 村山 靖彦

次頁無

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社